



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월26일  
(11) 등록번호 10-1992940  
(24) 등록일자 2019년06월19일

(51) 국제특허분류(Int. Cl.)  
G11C 7/00 (2006.01) G06F 12/00 (2016.01)  
G11C 7/10 (2015.01)  
(21) 출원번호 10-2012-0086793  
(22) 출원일자 2012년08월08일  
심사청구일자 2017년07월17일  
(65) 공개번호 10-2014-0020442  
(43) 공개일자 2014년02월19일  
(56) 선행기술조사문헌  
KR1020100115057 A\*  
KR1020120061575 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
성균관대학교산학협력단  
경기도 수원시 장안구 서부로 2066 (천천동, 성균관대학교내)  
(72) 발명자  
서동영  
경기 화성시 병점3로 158, 704동 1402호 (병점동, 안화동마을주공7단지)  
신동균  
서울 서초구 서운로 221, 101동 1903호 (서초동, 래미안서초스위트)  
(74) 대리인  
특허법인 고려

전체 청구항 수 : 총 9 항

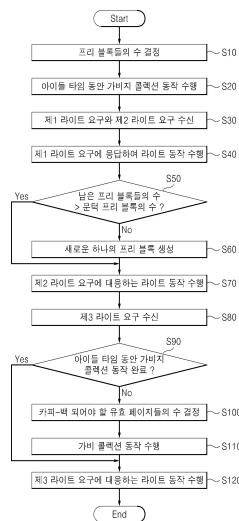
심사관 : 한선경

(54) 발명의 명칭 메모리 컨트롤러의 동작 방법, 및 상기 메모리 컨트롤러를 포함하는 시스템

(57) 요약

메모리 컨트롤러의 동작 방법이 개시된다. 상기 메모리 컨트롤러의 동작 방법은 블록 소모 히스토리를 이용하여 아이들 타임 동안 생성될 프리 블록들의 수를 결정하는 단계, 및 상기 결정된 프리 블록들의 수만큼 상기 프리 블록들을 생성하기 위해 상기 아이들 타임 동안 가비지 콜렉션 동작을 수행하도록 불휘발성 메모리 장치를 제어하는 단계를 포함한다.

대표도 - 도8



## 명세서

### 청구범위

#### 청구항 1

블록 소모 히스토리를 이용하여 아이들 타임(idle time) 동안 생성될 프리 블록들의 수를 결정하는 단계; 및 상기 결정된 프리 블록들의 수만큼 상기 프리 블록들을 생성(create)하기 위해 상기 아이들 타임 동안 가비지 콜렉션(garbage collection) 동작을 수행하도록 불휘발성 메모리 장치를 제어하는 단계를 포함하고,

상기 프리 블록들의 수를 결정하는 단계는,

상기 블록 소모 히스토리에서 적어도 하나 이상의 라이트 동작이 수행되는 라이트 타임(Write time) 별로 소모된 블록들의 수에 관한 정보를 리드하는 단계; 및

상기 정보에 기초하여 상기 프리 블록들의 수를 결정하는 단계를 포함하는 메모리 컨트롤러의 동작 방법.

#### 청구항 2

제1항에 있어서, 상기 블록 소모 히스토리는,

상기 아이들 타임 이전에 소모된 블록들의 수에 관한 정보를 포함하는 메모리 컨트롤러의 동작 방법.

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서, 상기 메모리 컨트롤러의 동작 방법은,

제1라이트 요구와 제2라이트 요구를 수신하는 단계;

상기 제1라이트 요구에 응답하여 상기 생성된 프리 블록들의 일부를 소모하도록 상기 불휘발성 메모리 장치를 제어하는 단계;

남은 프리 블록들의 수가 문턱 프리 블록의 수와 같거나 작을 때, 새로운 하나의 프리 블록을 생성하도록 상기 불휘발성 메모리 장치를 제어하는 단계; 및

상기 새로운 하나의 프리 블록을 생성한 후 상기 제2라이트 요구에 대응되는 라이트 동작을 수행하도록 상기 불휘발성 메모리 장치를 제어하는 단계를 더 포함하는 메모리 컨트롤러의 동작 방법.

#### 청구항 5

제1항에 있어서, 상기 메모리 컨트롤러의 동작 방법은,

제1라이트 요구를 수신하는 단계;

상기 아이들 타임 동안 상기 프리 블록들이 상기 결정된 프리 블록들의 수만큼 생성되지 않을 때, 카피-백(copy-back)되어야 할 유효 페이지들의 수를 결정하는 단계;

상기 결정된 유효 페이지들의 수만큼 상기 유효 페이지들을 회수(collect)하도록 상기 불휘발성 메모리 장치를 제어하는 단계; 및

상기 유효 페이지들을 회수한 후 상기 제1라이트 요구에 대응되는 라이트 동작을 수행하도록 상기 불휘발성 메모리 장치를 제어하는 단계를 더 포함하는 메모리 컨트롤러의 동작 방법.

#### 청구항 6

제5항에 있어서, 상기 카피-백되어야 할 유효 페이지들의 수를 결정하는 단계는,

희생 블록(victim)당 평균 유효 페이지의 수와 상기 생성되지 못한 프리 블록들의 수를 곱하는 단계; 및  
 상기 곱을 상기 카피-백되어야 할 유효 페이지들의 수로 결정하는 단계를 포함하는 메모리 컨트롤러의 동작 방법.

**청구항 7**

불휘발성 메모리 장치; 및

상기 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함하며,

상기 메모리 컨트롤러는,

블록 소모 히스토리를 이용하여 아이들 타임 동안 생성될 프리 블록들의 수를 결정하고, 상기 결정된 프리 블록들의 수만큼 상기 프리 블록들을 생성하기 위해 상기 아이들 타임 동안 가비지 콜렉션 동작을 수행하도록 상기 불휘발성 메모리 장치를 제어하는 펌웨어를 저장하는 메모리; 및

상기 펌웨어를 실행하는 마이크로프로세서를 포함하고,

상기 프리 블록들의 수의 결정은, 상기 블록 소모 히스토리에서 적어도 하나 이상의 라이트 동작이 수행되는 라이트 타임(Write time) 별로 소모된 블록들의 수에 관한 정보를 리드하고, 상기 리드한 상기 라이트 타임 별로 소모된 블록들의 수에 관한 정보에 기초하여 결정되는 메모리 시스템.

**청구항 8**

제7항에 있어서, 상기 메모리는,

상기 블록 소모 히스토리를 저장하는 메모리 시스템.

**청구항 9**

제7항에 있어서, 상기 블록 소모 히스토리는 상기 불휘발성 메모리 장치에서 상기 메모리로 로드(load)되는 메모리 시스템.

**청구항 10**

제7항에 있어서, 상기 펌웨어는,

상기 불휘발성 메모리 장치에서 상기 메모리로 로드되는 메모리 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 개념에 따른 실시 예는 메모리 컨트롤러에 관한 것으로, 특히 리드 동작과 라이트 동작의 응답 시간을 개선하기 위한 메모리 컨트롤러의 동작 방법, 및 상기 메모리 컨트롤러를 포함하는 시스템에 관한 것이다.

**배경 기술**

[0002] 불휘발성 메모리 장치에 있어서, 상기 불휘발성 메모리 장치에 저장된 데이터는 상기 불휘발성 메모리 장치의 저장 능력(storage capacity)을 개선(reclaim)하기 위해 주기적으로 가비지(garbage)가 수집(collect)된다. 즉, 가비지 콜렉션(garbage collection) 동작은 유효(valid) 페이지들과 무효(invalid) 페이지들을 포함하는 블록에서 상기 유효 페이지들이 다른 블록으로 카피되고, 상기 무효 페이지들을 포함하는 상기 블록을 삭제함으로써 수행된다. 상기 삭제된 블록은 프리(free)하며, 상기 삭제된 블록은 프리 블록(free block)이라고 호칭될 수 있다.

[0003] 상기 불휘발성 메모리 장치는 라이트 명령과 리드 명령에 응답하여 데이터를 상기 불휘발성 메모리 장치에 라이트하는 라이트 동작과 상기 불휘발성 메모리 장치로부터 데이터를 리드하는 리드 동작을 수행한다. 상기 불휘발성 메모리 장치가 상기 라이트 동작을 수행하기 위한 프리 블록을 충분히 가지지 않을 때, 라이트 동작과 리드 동작을 수행하기 전에 가비지 콜렉션 동작이 수행되어야 한다. 이는 라이트 동작과 리드 동작에 대한 응답 시간 지연을 유발시키며, 사용자는 상기 불휘발성 메모리 장치의 리드 성능의 저하를 느낄 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명이 이루고자 하는 기술적인 과제는 리드 동작과 라이트 동작의 응답 시간을 개선할 수 있는 메모리 컨트롤러의 동작 방법, 및 상기 메모리 컨트롤러를 포함하는 시스템을 제공하는 것이다.

**과제의 해결 수단**

[0005] 본 발명의 실시 예에 따른 메모리 컨트롤러의 동작 방법은 블록 소모 히스토리를 이용하여 아이들 타임 동안 생성될 프리 블록들의 수를 결정하는 단계, 및 상기 결정된 프리 블록들의 수만큼 상기 프리 블록들을 생성하기 위해 상기 아이들 타임 동안 가비지 콜렉션 동작을 수행하도록 불휘발성 메모리 장치를 제어하는 단계를 포함한다.

[0006] 상기 블록 소모 히스토리는 상기 아이들 타임 이전에 소모된 블록들의 수에 관한 정보를 포함한다.

[0007] 상기 프리 블록들의 수를 결정하는 단계는 상기 블록 소모 히스토리에서 적어도 하나 이상의 라이트 동작이 수행되는 라이트 타임별로 소모된 블록들의 수에 관한 정보를 리드하는 단계, 및 상기 정보에 기초하여 상기 프리 블록들의 수를 결정하는 단계를 포함한다.

[0008] 실시 예에 따라 상기 메모리 컨트롤러의 동작 방법은 제1라이트 요구와 제2라이트 요구를 수신하는 단계, 상기 제1라이트 요구에 응답하여 상기 생성된 프리 블록들의 일부를 소모하도록 상기 불휘발성 메모리 장치를 제어하는 단계, 남은 프리 블록들의 수가 문턱 프리 블록의 수와 같거나 작을 때, 새로운 하나의 프리 블록을 생성하도록 상기 불휘발성 메모리 장치를 제어하는 단계, 및 상기 새로운 하나의 프리 블록을 생성한 후 상기 제2라이트 요구에 대응되는 라이트 동작을 수행하도록 상기 불휘발성 메모리 장치를 제어하는 단계를 더 포함할 수 있다.

[0009] 실시 예에 따라 상기 메모리 컨트롤러의 동작 방법은 제1라이트 요구를 수신하는 단계, 상기 아이들 타임 동안 상기 프리 블록들이 상기 결정된 프리 블록들의 수만큼 생성되지 않을 때, 카피-백되어야 할 유효 페이지들의 수를 결정하는 단계, 상기 결정된 유효 페이지들의 수만큼 상기 유효 페이지들을 회수하도록 상기 불휘발성 메모리 장치를 제어하는 단계, 및 상기 유효 페이지들을 회수한 후 상기 제1라이트 요구에 대응되는 라이트 동작을 수행하도록 상기 불휘발성 메모리 장치를 제어하는 단계를 더 포함할 수 있다.

[0010] 상기 카피-백되어야 할 유효 페이지들의 수를 결정하는 단계는 희생 블록당 평균 유효 페이지의 수와 상기 생성되지 못한 프리 블록들의 수를 곱하는 단계, 및 상기 곱을 상기 카피-백되어야 할 유효 페이지들의 수로 결정하는 단계를 포함한다.

[0011] 본 발명의 실시 예에 따른 메모리 시스템은 불휘발성 메모리 장치, 및 상기 불휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함한다.

[0012] 상기 메모리 컨트롤러는 블록 소모 히스토리를 이용하여 아이들 타임 동안 생성될 프리 블록들의 수를 결정하고, 상기 결정된 프리 블록들의 수만큼 상기 프리 블록들을 생성하기 위해 상기 아이들 타임 동안 가비지 콜렉션 동작을 수행하도록 상기 불휘발성 메모리 장치를 제어하는 펌웨어를 저장하는 메모리, 및 상기 펌웨어를 실행하는 마이크로프로세서를 포함한다.

[0013] 상기 메모리는 상기 블록 소모 히스토리를 저장한다.

[0014] 상기 블록 소모 히스토리는 상기 불휘발성 메모리 장치에서 상기 메모리로 로드된다.

[0015] 상기 펌웨어는 상기 불휘발성 메모리 장치에서 상기 메모리로 로드된다.

[0016] 상기 불휘발성 메모리 장치는 3차원 불휘발성 메모리 장치이다.

[0017] 실시 예에 따라 상기 메모리 시스템은 휴대용 전자 장치일 수 있다.

[0018] 또 다른 실시 예에 따라 상기 메모리 시스템은 메모리 카드일 수 있다.

[0019] 또 다른 실시 예에 따라 상기 메모리 시스템은 솔리드 스테이트 드라이브일 수 있다.

**발명의 효과**

[0020] 본 발명의 실시 예에 따른 메모리 컨트롤러의 동작 방법, 및 상기 메모리 컨트롤러를 포함하는 시스템은 워크로드(workload)의 적응적인(adaptive) 예측을 통해 아이들 타임(idle time) 동안 적응적으로 가비지 콜렉션(garbage collection) 동작을 수행함으로써 리드 동작과 라이트 동작의 응답 시간을 개선할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0021] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
  - 도 1은 본 발명의 실시 예에 따른 메모리 컨트롤러를 포함하는 메모리 시스템의 블록도를 나타낸다.
  - 도 2는 통상적인 가비지 콜렉션 동작과 본 발명의 실시 예에 따른 가비지 콜렉션 동작을 설명하기 위한 다이어그램을 나타낸다.
  - 도 3은 도 1에 도시된 메모리 컨트롤러의 동작 방법을 설명하기 위한 다이어그램을 나타낸다.
  - 도 4는 도 3에 도시된 가비지 콜렉션 동작의 일 실시 예를 설명하기 위한 다이어그램을 나타낸다.
  - 도 5는 도 3에 도시된 가비지 콜렉션 동작의 다른 실시 예를 설명하기 위한 다이어그램을 나타낸다.
  - 도 6은 도 1에 도시되고 2차원적인 구조를 갖는 불휘발성 메모리 장치의 블록도를 나타낸다.
  - 도 7은 도 1에 도시되고 3차원적인 구조를 갖는 불휘발성 메모리 장치의 블록도를 나타낸다.
  - 도 8은 도 1에 도시된 메모리 컨트롤러의 동작 방법을 설명하기 위한 흐름도를 나타낸다.
  - 도 9는 도 1에 도시된 메모리 시스템을 포함하는 멀티-칩 패키지의 일 실시 예를 나타낸다.
  - 도 10은 도 1에 도시된 메모리 시스템을 포함하는 멀티-칩 패키지의 다른 실시 예를 나타낸다.
  - 도 11은 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 일 실시 예를 나타낸다.
  - 도 12는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 다른 실시 예를 나타낸다.
  - 도 13은 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
  - 도 14는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
  - 도 15는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
  - 도 16은 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
  - 도 17은 도 16에 도시된 전자 장치를 포함하는 데이터 처리 시스템의 블록도를 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0023] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0024] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1구성 요소는 제2구성 요소로 명명될 수 있고 유사하게 제2구성 요소는 제1구성 요소로도 명명될 수 있다.
- [0025] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의

관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

- [0026] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0029] 도 1은 본 발명의 실시 예에 따른 메모리 컨트롤러를 포함하는 메모리 시스템의 블록도를 나타낸다.
- [0030] 도 1을 참조하면, 메모리 시스템(10)은 메모리 컨트롤러(20) 및 불휘발성 메모리 장치(40)를 포함한다.
- [0031] 메모리 컨트롤러(20)는 불휘발성 메모리 장치(40)의 동작을 제어한다. 불휘발성 메모리 장치(40)의 동작은 프로그램(program) 동작, 리드(read) 동작, 이레이즈(erase) 동작, 및 가비지 콜렉션 동작을 포함할 수 있다. 상기 프로그램 동작은 라이트(write) 동작을 의미한다.
- [0032] 메모리 컨트롤러(20)는 마이크로프로세서(22), RAM(random access memory; 24), ROM(read only memory; 26), 호스트 인터페이스(29), 및 메모리 인터페이스(30)를 포함한다. 각 구성 요소(22, 24, 26, 29, 및 30)는 버스(28)를 통하여 서로 통신할 수 있다.
- [0033] 마이크로프로세서(22)는 RAM(24) 또는 ROM(26)으로부터 로드(load)된 펌웨어(firmware)를 실행한다. 회로(circuit), 로직(logic), 코드(code), 또는 이들의 조합으로 구현될 수 있는 마이크로프로세서(22)는 각 구성 요소(24, 26, 29, 및 30)의 동작을 제어할 수 있다.
- [0034] 불휘발성 메모리 장치(40)의 동작을 제어하기 위한 펌웨어는 불휘발성 메모리 장치(40)로부터 로드되고, RAM(24)에 일시적으로 저장될 수 있다. 실시 예에 따라 RAM(24)은 호스트(HOST)와 불휘발성 메모리 장치(40) 사이에서 전달되는 데이터를 저장하기 위해 버퍼 메모리로서 사용될 수 있다.
- [0035] 또한, 실시 예에 따라 ROM(26)은 불휘발성 메모리(40)의 동작을 제어하기 위한 펌웨어를 저장할 수 있다. 상기 펌웨어는 프로그램 명령들(program instructions)을 포함하며, 가비지 콜렉션 동작을 제어하기 위한 FTL(flash translation layer) 펌웨어일 수 있다. 상기 가비지 콜렉션 동작에 대해서는 도 2 내지 도 8에서 자세히 설명될 것이다.
- [0036] 호스트(HOST)와 메모리 컨트롤러(20)는 호스트 인터페이스(29)를 통하여 통신할 수 있다. 호스트(HOST)는 프로그램 요구(program request) 또는 라이트 요구와, 불휘발성 메모리 장치(40)에 프로그램될 데이터를 호스트 인터페이스(29)를 통하여 메모리 컨트롤러(20)로 전송할 수 있다. 이때, 메모리 컨트롤러(20)는 상기 프로그램 요구(또는 상기 라이트 요구)에 따라 상기 데이터가 저장될 불휘발성 메모리 장치(40)의 페이지의 페이지 어드레스 및/또는 상기 페이지에 상응하는 워드 라인 어드레스를 생성할 수 있다.
- [0037] 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40)는 메모리 인터페이스(30)를 통하여 서로 통신할 수 있다.
- [0038] 불휘발성 메모리 장치(40)의 메모리 셀 어레이(140)는 메모리 블록들(memory blocks; 42-1~42-N; N은 자연수)을 포함하고, 메모리 블록들(42-1~42-N) 각각은 페이지들(미도시)로 나뉠 수 있다. 상기 페이지들 각각에 유효 데이터(valid data) 또는 무효 데이터(invalid data)가 저장될 수 있다. 상기 페이지들 각각은 불휘발성 메모리 셀들, 예컨대, NAND 플래시 메모리 셀들을 포함한다. 상기 NAND 플래시 메모리 셀들 각각은 1-비트 또는 그 이상의 비트들을 저장할 수 있다.
- [0039] 불휘발성 메모리 장치(40), 예컨대 NAND 플래시 메모리 장치에서, 라이트 동작 또는 리드 동작은 페이지(page) 단위로 수행되고, 이레이즈 동작은 블록(block) 단위로 수행된다.



- [0040] 도 2A와 2B 각각은 통상적인 가비지 콜렉션 동작과 본 발명의 실시 예에 따른 가비지 콜렉션 동작을 설명하기 위한 다이어그램을 나타낸다.
- [0041] 도 1과 도 2A를 참조하면, 호스트(HOST)로부터 출력되는 라이트 요구들(write requests; WC1와 WC2)에 응답하여 메모리 컨트롤러(20)는 불휘발성 메모리 장치(40)에 데이터를 프로그램하기 위해 라이트 동작들(W1과 W2)을 제어한다.
- [0042] 라이트 동작들(W1과 W2) 각각이 수행된 후 아이들 타임(idle time) 동안 가비지 콜렉션 동작이 수행되지 않는다. 불휘발성 메모리 장치(40)는 라이터 요구(WC3)에 대응하는 라이트 동작(W3)을 수행하기 위한 충분한 프리 블록들을 포함하지 않을 때, 메모리 컨트롤러(20)는 라이트 동작(W3)을 제어하기 전에 가비지 콜렉션 동작(GC)을 제어한다. 따라서 불휘발성 메모리 장치(40)는 라이트 동작(W3) 전에 가비지 콜렉션 동작(WC)을 수행함으로써 프리 블록들을 생성한다. 상기 프리 블록들이 생성된 후 라이트 동작(W3)이 수행된다. 라이트 동작(W3)이 수행된 후 리드 요구(RC2)에 대응하는 리드 동작(R2)이 수행된다.
- [0043] 도 1과 도 2B를 참조하면, 호스트(HOST)로부터 출력되는 라이트 요구(WC1')에 응답하여 메모리 컨트롤러(20)는 라이트 동작(W1')을 제어한다. 라이트 동작(W1')이 수행된 후 아이들 타임 동안 가비지 콜렉션 동작(GC1)이 수행된다. 유사하게 라이트 요구(WC2')에 대응하는 라이트 동작(W2')이 수행된 후 아이들 타임 동안 가비지 콜렉션 동작(GC2)이 수행된다. 가비지 콜렉션 동작들(GC1과 GC2)에 의해 유효 데이터를 포함하는 페이지들이 하나의 블록에서 다른 블록으로 카피-백(copy-back)된다. 실시 예에 따라 가비지 콜렉션 동작들(GC1과 GC2)에 의해 프리 블록들이 생성될 수 있다.
- [0044] 메모리 컨트롤러(20)는 라이트 요구(WC3')에 응답하여 라이트 동작(W3')을 제어하기 전에 가비지 콜렉션 동작(GC3)을 제어할 수 있다. 따라서 불휘발성 메모리 장치(40)는 라이트 동작(W3') 전에 가비지 콜렉션 동작(GC3)을 수행함으로써 프리 블록들을 생성한다. 라이트 동작(W3')이 수행된 후 리드 요구(RC2')에 대응하는 리드 동작(R2')이 수행된다.
- [0045] 도 2B에 도시된 리드 동작(R1')에 대응하는 리드 응답 시간(RR1')은 도 2A에 도시된 리드 응답 시간(RR1)보다 약간 길다. 하지만 도 2B에 도시된 리드 동작(R2')에 대응하는 리드 응답 시간(RR2')은 도 2A에 도시된 리드 응답 시간(RR2)보다 상당히 짧다. 따라서 아이들 타임 동안에 가비지 콜렉션 동작을 수행함으로써 리드 응답 시간이 개선될 수 있다.
- [0046] 도 3은 도 1에 도시된 메모리 컨트롤러의 동작 방법을 설명하기 위한 다이어그램을 나타낸다.
- [0047] 도 1과 도 3을 참조하면, 아이들 타임(idle time; IT1~IT4)은 불휘발성 메모리 장치(40)가 동작하지 않을 때를 정의한다. 라이트 타임(write time; WR1~WR6)은 불휘발성 메모리 장치(40)가 적어도 하나 이상의 라이트 명령에 응답하여 라이트 동작을 수행할 때를 정의한다. 불휘발성 메모리 장치(40)는 라이트 타임(예컨대, WR1) 동안 복수의 라이트 명령들에 응답하여 라이트 동작들을 수행할 수 있다.
- [0048] 불휘발성 메모리 장치(40)는 라이트 타임(WR1, WR2, WR3, WR4, WR5, 또는 WR6) 동안 적어도 하나 이상의 라이트 명령에 응답하여 라이트 동작들을 수행한다. 즉, 데이터를 블록들(42-1~42-N)에 포함된 페이지들에 프로그램함으로써 유효 블록들이 감소한다.
- [0049] 상기 라이트 명령들에 대응하는 라이트 동작들이 수행된 후, 일정 시간 동안 메모리 컨트롤러(20)는 호스트(HOST)로부터 요구(예컨대, 프로그램 요구(또는 라이트 요구), 리드 요구 또는 이레이즈 요구)를 수신하지 않을 때, 불휘발성 메모리 장치(40)는 아이들(idle) 상태가 된다.
- [0050] 불휘발성 메모리 장치(40)는 아이들 타임(IT1) 동안 프리 블록들의 수(예컨대, TFB1) 만큼 프리 블록들을 생성하는 가비지 콜렉션 동작을 수행한다. 상기 프리 블록들은 데이터가 프로그램될 수 있는 유효 블록들이다.
- [0051] 실시 예에 따라 아이들 타임(IT1, IT2, IT3, 또는 IT4) 동안 생성될 프리 블록들의 수(TFB1, TFB2, TF3, 또는 TF4)는 다양할 수 있다. 아이들 타임(IT1, IT2, IT3, 또는 IT4) 동안 생성될 프리 블록들의 수(TFB1, TFB2, TFB3, 또는 TFB4)는 워크로드(workload)에 따라 적응적으로 계산된다. 상기 워크로드는 라이트 동작들을 수행함으로써 소모되는 프리 블록들의 수를 나타낸다.
- [0052] 예컨대, 아이들 타임(IT3) 동안 생성될 프리 블록들의 수(TFB3)는 라이트 타임(WR1) 동안 라이트 동작들에 의해 소모된 유효 블록들의 수, 라이트 타임(WR2) 동안 라이트 동작들에 의해 소모된 유효 블록들의 수, 및 라이트 타임(WR3) 동안 라이트 동작들에 의해 소모된 유효 블록들의 수에 따라 결정된다. 라이트 타임(WR1~WR3) 동안

라이트 동작들에 의해 소모된 유효 블록들의 수가 표1과 같다고 가정한다.

표 1

| WR1 | WR2 | WR3 |
|-----|-----|-----|
| 20  | 10  | 15  |

- [0053]
- [0054] 아이들 타임(IT3) 동안 생성될 프리 블록들의 수(TFB3)는 소모된 유효 블록들의 평균인  $(20+10+15)/3=15$ 로 결정될 수 있다.
- [0055] 실시 예에 따라, 아이들 타임(IT3) 동안 생성될 프리 블록들의 수(TFB3)는 소모된 유효 블록들의 평균인 15에 가중치 0.5를 곱한 값과 라이트 타임(WR3) 동안 소모된 유효 블록들의 수 15에 가중치 0.5를 곱한 값을 가산함으로써 계산될 수 있다. 아이들 타임 동안 생성될 프리 블록들의 수는 다양한 방법들을 이용하여 적응적으로 계산될 수 있으며, 반드시 상기의 방법들에 한정되지 않는다.
- [0056] 블록 소모 히스토리는 라이트 타임(WR1) 동안 라이트 동작들에 의해 소모된 유효 블록들의 수, 라이트 타임(WR2) 동안 라이트 동작들에 의해 소모된 유효 블록들의 수, 및 라이트 타임(WR3) 동안 라이트 동작들에 의해 소모된 유효 블록들의 수에 관한 정보를 포함한다. 상기 블록 소모 히스토리는 메모리 셀 어레이(140)에 저장되고 RAM(24)으로 로드(load)된다. 실시 예에 따라 상기 블록 소모 히스토리는 ROM(26)에 저장될 수 있다.
- [0057] 도 4는 도 3에 도시된 가비지 콜렉션 동작의 일 실시 예를 설명하기 위한 다이어그램을 나타낸다.
- [0058] 도 1, 도 3, 및 도 4를 참조하면, 아이들 타임(IT3) 후 라이트 명령들에 응답하여 라이트 동작들을 수행함으로써 유효 블록들이 감소된다. 불휘발성 메모리 장치(40)의 유효 블록들의 수는 문턱 블록의 수(THB)보다 커야 한다.
- [0059] 아이들 타임(IT3) 동안 생성될 프리 블록들의 수(TFB3)가 잘못 예측될 수 있다. 사용 가능한 유효 블록들의 수, 즉, 남은 프리 블록들의 수가 문턱 블록의 수(THB)보다 작을 때, 라이트 타임(WR5) 동안 하나의 프리 블록을 생성하는 가비지 콜렉션이 수행되고 나서, 라이트 동작이 수행된다. 상기 라이트 동작에 의해 하나의 유효 블록이 소모될 때, 다른 라이트 동작이 수행되기 전에 다시 다른 하나의 프리 블록을 생성하는 가비지 콜렉션이 수행된다.
- [0060] 예컨대, 도 4를 참조하면, 남은 프리 블록들의 수가 문턱 블록의 수(THB)보다 작을 때, 메모리 컨트롤러(20)는 라이트 데이터(WD1~WD3)를 불휘발성 메모리 장치(40)에 라이트하는 라이트 요구(WC4), 라이트 데이터(WD4)를 불휘발성 메모리 장치(40)에 라이트하는 라이트 요구(WC5), 및 라이트 데이터(WD5)를 불휘발성 메모리 장치(40)에 라이트하는 라이트 요구(WC6)를 호스트(HOST)로부터 수신한다고 가정한다.
- [0061] 버퍼 메모리는 메모리 컨트롤러(20)에 포함된 RAM(24)일 수 있다. 하나의 라이트 요구(WC4, WC5 또는 WC6)에 대해 불휘발성 메모리 장치(40)에 라이트하고자 하는 라이트 데이터의 수는 실시 예에 따라 다양할 수 있다.
- [0062] 메모리 컨트롤러(20)는 라이트 요구들(WC4~WC6)에 대응하는 라이트 동작들을 제어하기 전에 불휘발성 메모리 장치(40)가 가비지 콜렉션 동작을 수행하도록 불휘발성 메모리 장치(40)를 제어한다. 즉, 유효 데이터(VD1~VD4)를 포함하는 페이지들이 제1블록(42-1)에서 제2블록(42-2)으로 카피-백(copy-back)되고, 블록(42-1)은 삭제된다. 블록(42-1)의 무효 데이터(IVD1~IVD5)는 제거된다. 블록(42-1)은 프리(free)가 된다.
- [0063] 하나의 프리 블록(42-1)이 생성된 후 라이트 요구(WC4)에 대응되는 라이트 동작이 수행된다. 버퍼 메모리에 일시적으로 저장된 라이트 데이터(WD1~WD3)이 블록(42-2)의 페이지들에 프로그램된다.
- [0064] 라이트 요구(WC4)에 대응되는 라이트 동작이 수행된 후에도 유효 블록(42-2)이 완전히 소모되지 않았기 때문에 라이트 요구(WC5)에 대응되는 라이트 동작이 수행될 수 있다. 라이트 데이터(WD4)가 유효 블록(42-2)의 페이지에 프로그램될 수 있다.
- [0065] 라이트 요구(WC5)에 대응되는 라이트 동작이 수행된 후 유효 블록(42-2)이 완전히 소모되었으므로 메모리 컨트롤러(20)는 라이트 요구(WC6)에 대응되는 라이트 동작이 수행되도록 불휘발성 메모리 장치(40)를 제어하기 전에 다른 하나의 프리 블록(42-3)을 생성하기 위해 가비지 콜렉션 동작을 제어한다.
- [0066] 블록(42-3)은 유효 데이터(VD7와 VD8)와 무효 데이터(IVD6~IVD13)를 포함한다. 유효 데이터(VD7과 VD8)를 포함하는 페이지들이 블록(42-3)에서 블록(42-4)으로 카피-백되고, 블록(42-3)은 삭제된다. 프리 블록(42-3)이 생성



된다.

- [0067] 불휘발성 메모리 장치(40)는 프리 블록(42-3)을 생성하기 위한 가비지 콜렉션 동작을 수행한 후 라이트 요구(WC6)에 대응되는 라이트 동작을 수행한다. 상기 버퍼 메모리에 저장된 라이트 데이터(WD5)가 블록(42-4)의 페이지에 프로그램된다.
- [0068] 라이트 타임(WR5) 동안 상기 가비지 콜렉션 동작과 상기 라이트 동작이 반복적으로 수행된다.
- [0069] 도 5는 도 3에 도시된 가비지 콜렉션 동작의 다른 실시 예를 설명하기 위한 다이어그램을 나타낸다.
- [0070] 도 1, 도 3, 및 도 5를 참조할 때, 아이들 타임(IT4) 동안 목표 프리 블록들의 수(TFB4)만큼 프리 블록들을 생성하기 위해 가비지 콜렉션 동작이 수행된다. 실시 예에 따라 아이들 타임(IT4) 동안 목표 프리 블록들의 수(TFB4)만큼 프리 블록들이 생성되기 전에 메모리 컨트롤러(20)는 호스트(HOST)로부터 라이트 요구를 수신할 수 있다. 이 때, 목표 프리 블록들의 수(TFB4)만큼 프리 블록들을 생성하기 전에 가비지 콜렉션 동작이 중단되며, 프리 블록들의 수(FB)만큼 프리 블록들이 생성될 수 없다.
- [0071] 예컨대, 도 5를 참조하면, 아이들 타임(IT4) 동안 목표 프리 블록들의 수(TFB4)만큼 프리 블록들이 생성되기 전에 메모리 컨트롤러(20)는 라이트 데이터(WD6)를 불휘발성 메모리 장치(40)에 라이트하는 라이트 요구(WC7), 라이트 데이터(WD7과 WD8)를 불휘발성 메모리 장치(40)에 라이트하는 라이트 요구(WC8), 및 라이트 데이터(WD9)를 불휘발성 메모리 장치(40)에 라이트하는 라이트 요구(WC9)를 호스트(HOST)로부터 수신한다고 가정한다. 이 때, 프리 블록들의 수(FB)만큼 프리 블록들이 생성될 수 없다.
- [0072] 불휘발성 메모리 장치(40)는 라이트 요구(WC7)에 대응되는 라이트 동작을 수행하기 전에 가비지 콜렉션 동작을 수행한다. 유효 데이터(VD10과 VD11)를 포함하는 페이지들이 블록(42-5)에서 블록(42-6)으로 카피-백된다.
- [0073] 유효 데이터(VD10과 VD11)를 포함하는 유효 페이지들이 블록(42-5)에서 블록(42-6)으로 카피-백된 후, 버퍼 메모리에 저장된 라이트 데이터(WD6)가 블록(42-6)의 페이지에 프로그램된다.
- [0074] 블록(42-6)으로 카피-백되는 유효 페이지들의 수는 실시 예에 따라 다양할 수 있다. 예컨대, 블록(42-6)으로 카피-백되는 유효 페이지들의 수는 생성되지 못한 프리 블록들의 수(FB)와 희생 블록(victim) 당 평균 유효 페이지들의 수(예컨대, 희생 블록(42-5)이 하나일 때, 평균 유효 페이지들의 수는 6개)를 곱한 값일 수 있다. 상기 희생 블록은 가비지 콜렉션 동작에 의해 삭제될 블록을 의미한다.
- [0075] 라이트 요구(WC7)에 대응되는 라이트 동작이 수행된 후, 불휘발성 메모리 장치(40)는 라이트 요구(WC8)에 대응되는 라이트 동작을 수행하기 전에 가비지 콜렉션 동작을 수행한다. 유효 데이터(VD12과 VD13)를 포함하는 유효 페이지들이 블록(42-5)에서 블록(42-6)으로 카피-백된다. 상기 라이트 동작을 실행하기 위해 라이트 데이터(WD7와 WD8)가 블록(42-6)의 페이지들에 프로그램된다.
- [0076] 라이트 요구(WC8)에 대응되는 라이트 동작을 수행된 후, 불휘발성 메모리 장치(40)는 라이트 요구(WC9)에 대응되는 라이트 동작을 수행하기 전에 가비지 콜렉션 동작을 수행한다. 유효 데이터(VD14과 VD15)를 포함하는 유효 페이지들이 블록(42-5)에서 블록(42-6)으로 카피-백된다. 라이트 데이터(WD9)가 블록(42-6)에 프로그램된다. 따라서 라이트 타임(WR6) 동안 프리 블록들(FB)을 생성하기 위해 상기 가비지 콜렉션 동작이 수행된다.
- [0077] 도 6은 도 1에 도시되고 2차원적인 구조를 갖는 불휘발성 메모리 장치의 블록도를 나타낸다.
- [0078] 도 1과 도 6을 참조하면, 불휘발성 메모리 장치(40), 예컨대 NAND 플래시 메모리 장치는 데이터를 저장하기 위한 메모리 셀 어레이(140), 컨트롤 로직(43), 전압 발생기(44), 로우 디코더(45), 페이지 버퍼 블록(46), 컬럼 디코더(47), Y-게이팅 회로(48), 및 입출력 블록(49)을 포함한다.
- [0079] 메모리 셀 어레이(140)는 복수의 NAND 메모리 셀 스트링들(strings)을 포함한다. 상기 복수의 NAND 메모리 셀 스트링들 각각은 직렬로 접속된 복수의 NAND 메모리 셀들(41)을 포함한다.
- [0080] 예컨대, 제1NAND 메모리 셀 스트링은 비트 라인(BL1)에 접속된 제1선택 트랜지스터(또는, 스트링 선택 트랜지스터(string selection transistor))와 공통 소스 라인(common source line(CSL))에 접속된 제2선택 트랜지스터(또는, 접지 선택 트랜지스터(ground selection transistor)) 사이에 직렬로 접속된 복수의 NAND 메모리 셀들(41)을 포함한다.
- [0081] 상기 제1선택 트랜지스터의 게이트는 스트링 선택 라인(string selection line(SSL))에 접속되고, 상기 복수의 NAND 메모리 셀들(41) 각각의 게이트는 복수의 워드 라인들(WL0~WL63) 각각에 접속되고, 상기 제2선택 트랜지스

터의 게이트는 접지 선택 라인(ground selection line(GSL))에 접속된다.

- [0082] 메모리 셀들 각각이 SLC(single level cell)일 때, 각 워드 라인(예컨대, WL0~WL3)은 각 페이지(PAGE0~PAGE3)를 정의할 수 있다.
- [0083] 도 6에는 64개의 워드 라인들(WL0~WL63)을 포함하는 메모리 셀 어레이(140)가 도시되어 있으나, 워드 라인들의 개수에 한정되는 것은 아니다.
- [0084] 도 7은 도 1에 도시되고 3차원적인 구조를 갖는 불휘발성 메모리 장치의 블록도를 나타낸다.
- [0085] 도 1과 도 7에 도시된 바와 같이, 각 NAND 메모리 셀 스트링(40'-1, 40'-2, ..., 40'-t; t는 자연수)은 3차원적으로 서로 다른 평면에 배치될 수 있다.
- [0086] 도 7에 도시된 바와 같이, 제1NAND 메모리 셀 스트링(40'-1)은 제1레이어(41-1)에 배치될 수 있고, 제2NAND 메모리 셀 스트링(40'-2)은 제1레이어(41-1)와 서로 다른 제2레이어(41-2)에 배치될 수 있고, 제tNAND 메모리 셀 스트링(40'-t)은 제2레이어(41-2)와 서로 다른 레이어(41-k)에 3차원적으로 배치될 수 있다.
- [0087] 복수의 레이어들(41-1~41-t)은 웨이퍼 적층(wafer stack), 칩(chip) 적층, 또는 셀(cell) 적층을 통하여 형성될 수 있다. 복수의 레이어들(41-1~41-t)은 TSV (through-silicon via)를 포함하는 전기 수직 소자(electrical vertical element), 뾰족(bump) 또는 와이어 본딩(wire bonding)을 통하여 접속될 수 있다. 복수의 레이어들(41-1~41-t) 각각은 복수의 셀 스트링들을 포함한다.
- [0088] 도 7에 도시된 바와 같이, 각 NAND 메모리 셀 스트링(40'-1, 40'-2, ..., 40'-t)은 복수의 워드 라인들(WL0~WL63), CSL, 및 비트 라인(BL1)을 공유할 수 있다.
- [0089] 본 명세서에서 사용되는 메모리 셀 어레이(140과 140')는 도 6에 도시된 2차원 메모리 셀 어레이(140)와 도 7에 도시된 3차원 메모리 셀 어레이(140')를 총괄적으로 의미한다.
- [0090] 회로, 로직, 코드, 또는 이들의 조합으로 구현될 수 있는 컨트롤 로직(43)은 NAND 플래시 메모리 장치(140)의 데이터 처리 동작, 예컨대 프로그램 동작(또는 라이트 동작), 리드 동작, 및 이레이즈 동작을 제어한다. 예컨대, 컨트롤 로직(43)은 메모리 컨트롤러(20)로부터 출력된 복수의 제어 신호들에 따라 상기 데이터 처리 동작을 수행하기 위하여 각 구성 요소(44~49)의 동작을 제어한다.
- [0091] 전압 발생기(44)는 프로그램 동작(또는 라이트 동작)을 수행하기 위해 필요한 프로그램 전압을 포함하는 복수의 전압들, 리드 동작을 수행하기 위해 필요한 리드 전압을 포함하는 복수의 전압들, 또는 이레이즈 동작을 수행하기 위해 필요한 이레이즈 전압을 포함하는 복수의 전압들을 발생할 수 있다. 전압 발생기(44)는 각각의 동작에 필요한 복수의 전압들을 로우 디코더로 출력할 수 있다.
- [0092] 로우 디코더(45)는, 컨트롤 로직(43)으로부터 출력된 로우 어드레스에 따라, 전압 발생기(44)로부터 출력된 복수의 전압들을 복수의 워드 라인들(WL0~WL63)로 공급한다.
- [0093] 컬럼 디코더(47)는 컨트롤 로직(43)의 제어 하에 컬럼 어드레스를 디코딩하여 복수의 선택 신호들을 Y-게이팅 회로(48)로 출력한다.
- [0094] 페이지 버퍼 블록(46)은 복수의 페이지 버퍼들을 포함한다. 상기 복수의 페이지 버퍼들 각각은 복수의 비트 라인들(BL1~BLx, x는 자연수) 각각에 접속된다.
- [0095] 상기 복수의 페이지 버퍼들 각각은 컨트롤 로직(43)의 제어에 따라 프로그램 동작 동안에는 메모리 셀 어레이(140)에 데이터를 프로그램하기 위한 드라이버로써 동작할 수 있다. 또한, 상기 복수의 페이지 버퍼들 각각은 컨트롤 로직(43)의 제어에 따라 리드 동작 동안 또는 검증(verify) 동작 동안에는 복수의 비트 라인들(BL1~BLx) 각각의 전압 레벨을 감지 증폭할 수 있는 감지 증폭기로써 동작할 수 있다.
- [0096] Y-게이팅 회로(48)는 컬럼 디코더(47)로부터 출력된 복수의 선택 신호들에 응답하여 페이지 버퍼 블록(46)과 입출력 블록(49) 사이에서 데이터(DATA)의 전송을 제어할 수 있다.
- [0097] 입출력 블록(49)은 메모리 컨트롤러(20)로부터 입력된 데이터(DATA)를 Y-게이팅 회로(48)로 전송하거나 또는 Y-게이팅 회로(48)로부터 출력된 데이터(DATA)를 복수의 입출력 핀들 또는 데이터 버스를 통하여 메모리 컨트롤러(20)로 전송할 수 있다.
- [0098] 도 8은 도 1에 도시된 메모리 컨트롤러의 동작 방법을 설명하기 위한 흐름도를 나타낸다.

- [0099] 도 1 내지 도 6, 및 도 8을 참조하면, 메모리 컨트롤러(20)는 블록 소모 히스토리를 이용하여 아이들 타임(예컨대, IT1, IT2, IT3 또는 IT4) 동안 생성될 프리 블록들의 수를 결정한다(S10). 상기 블록 소모 히스토리는 상기 아이들 타임 이전에 소모된 블록들의 수에 관한 정보를 포함한다.
- [0100] 메모리 컨트롤러(20)는 상기 결정된 프리 블록들의 수만큼 상기 프리 블록들을 생성하기 위해 상기 아이들 타임 동안 가비지 콜렉션 동작을 수행하도록 불휘발성 메모리 장치(40)를 제어한다(S20).
- [0101] 아이들 타임(IT3) 이후 메모리 컨트롤러(20)는 제1라이트 요구와 제2라이트 요구를 호스트(HOST)로부터 수신할 수 있다(S30).
- [0102] 메모리 컨트롤러(20)는 상기 제1라이트 요구에 응답하여 라이트 동작을 제어한다(S40). 즉, 메모리 컨트롤러(20)는 상기 생성된 프리 블록들의 일부를 소모하도록 불휘발성 메모리 장치(40)를 제어한다.
- [0103] 메모리 컨트롤러(20)는 남은 프리 블록들의 수가 문턱 프리 블록의 수(THB)보다 큰지 판단한다(S50).
- [0104] 남은 프리 블록들의 수가 문턱 프리 블록의 수(THB)보다 작을 때, 메모리 컨트롤러(20)는 라이트 타임(WR5) 동안 새로운 하나의 프리 블록을 생성하도록 불휘발성 메모리 장치(40)를 제어한다(S60). 즉, 상기 새로운 하나의 프리 블록을 생성하도록 가비지 콜렉션 동작이 수행된다.
- [0105] 상기 새로운 하나의 프리 블록을 생성한 후 메모리 컨트롤러(20)는 라이트 타임(WR5) 동안 상기 제2라이트 요구에 대응되는 라이트 동작을 제어하는 단계를 제어한다(S70).
- [0106] 상기 가비지 콜렉션 동작과 상기 라이트 동작은 라이트 타임(WR5) 동안 반복적으로 수행될 수 있다.
- [0107] 메모리 컨트롤러(20)는 아이들 타임(IT4) 동안 가비지 콜렉션 동작을 수행한다. 아이들 타임(IT4) 동안 상기 가비지 콜렉션 동작이 수행되는 중 메모리 컨트롤러(20)는 제3라이트 요구를 호스트(HOST)로부터 수신할 수 있다(S80).
- [0108] 메모리 컨트롤러(20)는 아이들 타임(IT4) 동안 가비지 콜렉션 동작이 완료되었는지 여부를 판단한다(S90).
- [0109] 아이들 타임(IT4) 동안 가비지 콜렉션 동작이 완료되지 않을 때, 메모리 컨트롤러(20)는 라이트 타임(WR6) 동안 생성되지 못한 프리 블록들의 수(FB)을 생성하기 위해 카피-백되어야 할 유효 페이지들의 수를 결정한다(S100).
- [0110] 메모리 컨트롤러(20)는 상기 결정된 유효 페이지들의 수만큼 상기 유효 페이지들을 회수한다(S110).
- [0111] 메모리 컨트롤러(20)는 상기 유효 페이지들을 회수한 후 상기 제3라이트 요구에 대응되는 라이트 동작을 제어한다(S120).
- [0112] 도 9는 도 1에 도시된 메모리 시스템을 포함하는 멀티-칩 패키지의 일 실시 예를 나타낸다.
- [0113] 도 9를 참조하면, 멀티-칩 패키지(11)는 회로 기관(11-1), 예컨대 PCB (printed circuit board) 위에 마운트된 (mounted) 또는 적층된(stacked) 메모리 컨트롤러(20)와 메모리 컨트롤러(20) 위에 마운트된 또는 적층된 불휘발성 메모리 장치(40)를 포함한다. 메모리 컨트롤러(20)는 본딩 와이어들(11-2)과 솔더 볼들(11-3)을 통하여 외부 장치와 통신할 수 있다. 또한, 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40)는 본딩 와이어들(11-4)을 통하여 통신할 수 있다.
- [0114] 도 9에서는 설명의 편의를 위하여, 불휘발성 메모리 장치(40)가 메모리 컨트롤러(20) 위에 형성된 예를 도시하였으나, 실시 예에 따라 두 장치들(20과 30)의 구현 위치가 서로 바뀔 수 있다.
- [0115] 또한, 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40)는 본딩 와이어들 (11-4) 이외의 접속 수단을 통하여 서로 통신할 수 있고, 메모리 컨트롤러(20)와 솔더 볼들(11-3)은 본딩 와이어들(11-2) 이외의 접속 수단을 통하여 서로 접속될 수 있다. 상기 접속 수단은 수직 전기 소자(vertical electrical element), 예컨대 TSV(through silicon via)로 구현될 수도 있다.
- [0116] 도 10은 도 1에 도시된 메모리 시스템을 포함하는 멀티-칩 패키지의 다른 실시 예를 나타낸다.
- [0117] 도 10을 참조하면, 멀티-칩 패키지(13)는 회로 기관(13-1), 예컨대 PCB 위에 접속된 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40)를 포함한다. 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40)는 본딩 와이어들(13-2)을 통하여 서로 통신하고, 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40) 각각은 본딩 와이어들(13-3)과 솔더 볼들(13-4)를 통하여 외부 장치와 통신할 수 있다.
- [0118] 실시 예에 따라, 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40)는 본딩 와이어들(13-2) 이외의 접속 수단을

통하여 서로 통신할 수 있다. 상기 접속 수단은 수직 전기 소자, 예컨대 TSV(through silicon via)로 구현될 수도 있다.

- [0119] 예컨대, 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40) 각각이 수직 전기 소자들을 통하여 회로 기관(13-1)에 접속될 때, 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40)는 상기 수직 전기 소자들과 회로 기관(13-1)을 통하여 서로 통신할 수 있다.
- [0120] 각각의 칩(chip)으로 구현된 메모리 컨트롤러(20)와 불휘발성 메모리 장치 (40)는 PoP(Package On Package), BGAs(Ball Grid Arrays), CSPs(Chip Scale Packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Waffle Pack, Din in Wafer Form, COB(Chip On Board), CERDIP(CERamic Dual In-Line Package), MQFP(plastic metric quad flat pack), TQFP(Thin Quad FlatPack), SOIC(small-outline integrated circuit), SSOP(shrink small outline package), TSOP(thin small outline), SIP(system in package), MCP(multi chip package), WFP(wafer-level fabricated package), 또는 WSP (wafer-level processed stack package) 등과 같은 패키지로 구현될 수 있다.
- [0121] 도 11은 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 일 실시 예를 나타낸다.
- [0122] 도 1과 도 11을 참조하면, 전자 장치(electronic device; 100)는 이동 전화기(cellular/mobile phone), 스마트폰(smart phone), 태블릿 PC (tablet personal computer), PDA(personal digital assistant), 비디오 게임 콘솔(video game console), 또는 휴대용(handheld) 통신 장치로 구현될 수 있다.
- [0123] 전자 장치(100)는 메모리 컨트롤러(20)와 불휘발성 메모리 장치(40)를 포함한다. 메모리 컨트롤러(20)는 프로세서(110)의 제어에 따라 불휘발성 메모리 장치 (40)의 데이터 처리 동작, 예컨대 프로그램 동작(또는 라이트 동작), 이레이즈 동작, 또는 리드 동작을 제어할 수 있다.
- [0124] 불휘발성 메모리 장치(40)에 프로그램된 데이터는 프로세서(110) 및/또는 메모리 컨트롤러(20)의 제어에 따라 디스플레이(120)를 통하여 디스플레이될 수 있다. 디스플레이(120)는 TFT-LCD(thin film transistor-liquid crystal display), LED(light-emitting diode) 디스플레이, OLED (organic LED) 디스플레이, 또는 AMOLED(active matrix OLED) 디스플레이와 같은 평판 디스플레이(flat panel display)로 구현될 수 있다.
- [0125] 무선 송수신기(130)는 안테나(ANT)를 통하여 무선 신호를 주거나 받을 수 있다. 예컨대, 무선 송수신기(130)는 안테나(ANT)를 통하여 수신된 무선 신호를 프로세서(110)에서 처리될 수 있는 신호로 변경할 수 있다.
- [0126] 따라서, 프로세서(110)는 무선 송수신기(130)로부터 출력된 신호를 처리하고 처리된 신호를 메모리 컨트롤러 (20) 또는 디스플레이(120)로 전송할 수 있다. 본 발명의 실시 예에 따른 메모리 컨트롤러(20)는 프로세서(110)에 의하여 처리된 신호를 불휘발성 메모리 장치 (40)에 프로그램할 수 있다.
- [0127] 또한, 무선 송수신기(130)는 프로세서(110)로부터 출력된 신호를 무선 신호로 변경하고, 변경된 무선 신호를 안테나(ANT)를 통하여 외부 장치로 출력할 수 있다.
- [0128] 입력 장치(140)는 프로세서(110)의 동작을 제어하기 위한 제어 신호 또는 프로세서(110)에 의하여 처리될 데이터를 입력할 수 있는 장치로서, 터치 패드(touch pad)와 컴퓨터 마우스(computer mouse)와 같은 포인팅 장치 (pointing device), 키패드(keypad), 또는 키보드로 구현될 수 있다.
- [0129] 프로세서(110)는 메모리 컨트롤러(20)로부터 출력된 데이터, 무선 송수신기 (130)로부터 출력된 데이터, 또는 입력 장치(140)로부터 출력된 데이터가 디스플레이(120)를 통하여 디스플레이될 수 있도록 디스플레이(120)의 동작을 제어할 수 있다.
- [0130] 실시 예에 따라, 불휘발성 메모리 장치(40)의 동작을 제어할 수 있는 메모리 컨트롤러(20)는 프로세서(110)의 일부로서 구현될 수 있고 또한 프로세서(110)와 별도의 칩으로 구현될 수 있다.
- [0131] 도 12는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 다른 실시 예를 나타낸다.
- [0132] 도 12에 도시된 전자 장치(200)는 PC(personal computer), 랩탑(laptop) 컴퓨터, 넷-북(net-book), e-리더(e-reader), PMP(portable multimedia player), MP3 플레이어, 또는 MP4 플레이어로 구현될 수 있다.
- [0133] 전자 장치(200)는 불휘발성 메모리 장치(40)와, 불휘발성 메모리 장치(40)의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(20)를 포함한다.
- [0134] 프로세서(210)는 입력 장치(220)를 통하여 입력된 데이터에 따라 불휘발성 메모리 장치(10)에 저장된 데이터를



디스플레이(230)를 통하여 디스플레이할 수 있다. 예컨대, 입력 장치(220)는 터치 패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다. 또한, 입력 장치(220)는 다른 장치와 데이터를 인터페이싱할 수 있는 인터페이스일 수 있다.

- [0135] 프로세서(210)는 전자 장치(200)의 전반적인 동작을 제어할 수 있고 메모리 컨트롤러(20)의 동작을 제어할 수 있다.
- [0136] 실시 예에 따라 불휘발성 메모리 장치(40)의 동작을 제어할 수 있는 메모리 컨트롤러(20)는 프로세서(210)의 일부로서 구현될 수 있고 또한 프로세서(210)와 별도의 칩으로 구현될 수 있다.
- [0137] 도 13는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다. 도 13에서는 설명의 편의를 위하여 전자 장치(300)와 호스트(330)를 함께 도시한다.
- [0138] 도 13에 도시된 전자 장치(300)는 메모리 카드(memory card) 또는 스마트 카드(smart card)로 구현될 수 있다. 상기 디지털 정보를 저장하기 위하여 사용되는 전자 플래시 메모리 데이터 저장 장치인 메모리 카드는 PC 카드, MMC(multimedia card), e-MMC(embedded MMC), SD(secure digital) 카드, 또는 USB(universal serial bus) 플래시 드라이브(flash drive)를 포함한다.
- [0139] 메모리 카드와 같은 전자 장치(300)는 메모리 컨트롤러(20), 불휘발성 메모리 장치(40), 카드 인터페이스(320)를 포함한다.
- [0140] 메모리 컨트롤러(20)는 불휘발성 메모리 장치(40)와 카드 인터페이스(320) 사이에서 데이터의 교환을 제어할 수 있다.
- [0141] 실시 예에 따라, 카드 인터페이스(320)는 SD(secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다.
- [0142] 카드 인터페이스(320)는 호스트(330)의 프로토콜에 따라 호스트(330)와 메모리 컨트롤러(20) 사이에서 데이터 교환을 인터페이싱할 수 있다.
- [0143] 실시 예에 따라 카드 인터페이스(320)는 USB(Universal Serial Bus) 프로토콜, IC(InterChip)-USB 프로토콜을 지원할 수 있다. 여기서, 카드 인터페이스라 함은 호스트(330)가 사용하는 프로토콜을 지원할 수 있는 하드웨어, 상기 하드웨어에 탑재된 소프트웨어, 또는 신호 전송 방식을 의미할 수 있다.
- [0144] 전자 장치(300)가 PC(personal computer), 랩탑 컴퓨터, 태블릿(tablet) PC, 디지털 카메라(digital camera), 디지털 오디오 플레이어(digital audio player), 이동 전화기, 비디오 게임 콘솔(video game console), MP3플레이어, PMP(portable multimedia player), e-북, 또는 디지털 셋-탑 박스(digital set-top box)와 같은 호스트(330)의 호스트 인터페이스(350)에 접속될 때, 호스트 인터페이스(350)는 마이크로프로세서(340)의 제어에 따라 카드 인터페이스(320)와 메모리 컨트롤러(20)를 통하여 불휘발성 메모리 장치(40)와 데이터 통신을 수행할 수 있다.
- [0145] 도 14는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- [0146] 도 14에 도시된 전자 장치(400)는 이미지 처리 장치, 예컨대 디지털 카메라, 디지털 카메라가 부착된 이동 전화기, 디지털 카메라가 부착된 스마트 폰, 또는 디지털 카메라가 부착된 태블릿 PC로 구현될 수 있다.
- [0147] 전자 장치(400)는 불휘발성 메모리 장치(40)와 불휘발성 메모리 장치(40)의 데이터 처리 동작, 예컨대 프로그램 동작(또는 라이트 동작), 이레이즈 동작, 또는 리드 동작을 제어할 수 있는 메모리 컨트롤러(20)를 포함한다.
- [0148] 전자 장치(400)의 이미지 센서(420)는 광학 이미지를 디지털 이미지 신호들로 변환하고, 변환된 디지털 이미지 신호들은 프로세서(410) 및/또는 메모리 컨트롤러(20)로 전송된다. 프로세서(410)의 제어에 따라, 상기 변환된 디지털 이미지 신호들은 디스플레이(430)를 통하여 디스플레이되거나 또는 메모리 컨트롤러(20)를 통하여 불휘발성 메모리 장치(40)에 저장될 수 있다.
- [0149] 또한, 불휘발성 메모리 장치(40)에 저장된 데이터는 프로세서(410) 및/또는 메모리 컨트롤러(20)의 제어에 따라 디스플레이(430)를 통하여 디스플레이된다.
- [0150] 실시 예에 따라 불휘발성 메모리 장치(40)의 동작을 제어할 수 있는 메모리 컨트롤러(20)는 프로세서(410)의 일부로서 구현될 수 있고 또한 프로세서(410)와 별개의 칩으로 구현될 수 있다.



- [0151] 도 15는 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- [0152] 도 15를 참조하면, 전자 장치(500)는 불휘발성 메모리 장치(40)와 불휘발성 메모리 장치(40)의 동작을 제어할 수 있는 메모리 컨트롤러(20)를 포함한다.
- [0153] 전자 장치(500)는 CPU(central processing unit; 510)의 동작 메모리 (operation memory)로서 사용될 수 있는 메모리 장치(550)를 포함한다. 메모리 장치(550)는 ROM(read only memory)과 같은 불휘발성 메모리로 구현될 수 있고 SRAM (Static random access memory)과 같은 휘발성 메모리로 구현될 수 있다.
- [0154] 전자 장치(500)에 접속된 호스트(HOST)는 메모리 컨트롤러(20)와 호스트 인터페이스(540)를 통하여 불휘발성 메모리 장치(40)와 데이터 통신을 수행할 수 있다.
- [0155] CPU(510)의 제어에 따라 ECC 블록(530)은 메모리 컨트롤러(20)를 통하여 불휘발성 메모리 장치(40)로부터 출력된 데이터에 포함된 에러 비트를 검출하고, 상기 에러 비트를 수정하고, 에러 수정된 데이터를 호스트 인터페이스(540)를 통하여 호스트(HOST)로 전송할 수 있다. 실시 예에 따라 ECC 블록(530)은 전자 장치(500)에 포함되지 않을 수도 있다.
- [0156] CPU(510)는 버스(501)를 통하여 메모리 컨트롤러(20), ECC 블록(530), 호스트 인터페이스(540), 및 메모리 장치(550) 사이에서 데이터 통신을 제어할 수 있다.
- [0157] 전자 장치(500)는 플래시 메모리 드라이브, USB 메모리 드라이브, IC-USB 메모리 드라이브, 또는 메모리 스틱(memory stick)으로 구현될 수 있다.
- [0158] 도 16은 도 1에 도시된 메모리 시스템을 포함하는 전자 장치의 또 다른 실시 예를 나타낸다.
- [0159] 도 16을 참조하면, 전자 장치(600)는 SSD(solid state drive)와 같은 데이터 처리 장치로 구현될 수 있다.
- [0160] 전자 장치(600)는 복수의 솔리드 스테이트 메모리 장치들(40), 메모리 컨트롤러(20), 휘발성 메모리 장치(630), 및 버퍼 매니저(620)를 포함한다.
- [0161] 메모리 컨트롤러(20)는 복수의 솔리드 스테이트 메모리 장치들(40) 각각의 데이터 처리 동작을 제어할 수 있다. 복수의 솔리드 스테이트 메모리 장치들(40) 각각은 도 1과 도 10에 도시된 불휘발성 메모리 장치, 예컨대 NAND 플래시 메모리 장치로 되고, 블록들을 포함한다. 메모리 컨트롤러(20)는 데이터를 복수의 솔리드 스테이트 메모리 장치들(40) 중에서 하나의 포함된 페이지에 프로그램할 수 있다.
- [0162] 휘발성 메모리 장치(630)는 DRAM으로 구현될 수 있고 메모리 컨트롤러(20)와 호스트(640) 사이에서 주고 받는 데이터를 일시적으로 저장한다.
- [0163] 버퍼 매니저(620)는 휘발성 메모리 장치(630) 및/또는 메모리 컨트롤러(20)의 데이터 버퍼링 동작을 제어할 수 있다.
- [0164] 도 17는 도 16에 도시된 전자 장치를 포함하는 데이터 처리 시스템의 블록도를 나타낸다.
- [0165] 도 16과 도 17를 참조하면, RAID(redundant array of independent disks) 시스템으로 구현될 수 있는 데이터 처리 장치(700)는 RAID 컨트롤러(710)와 복수의 전자 장치들(600-1~600-n; n는 자연수)을 포함할 수 있다.
- [0166] 전자 장치들(600-1~600-n) 각각은 도 18에 도시된 전자 장치(600)이다. 복수의 전자 장치들(600-1~600-n)은 RAID 어레이를 구성할 수 있다. 데이터 처리 장치 (700)는 PC(personal computer), NAS(Network-attached storage) 또는 SSD(solid state drive)로 구현될 수 있다. 전자 장치들(600-1~600-n) 각각은 메모리 모듈(memory module) 형태로 구현된 메모리 시스템일 수 있다.
- [0167] 프로그램 동작(또는 라이트 동작) 동안, 호스트(HOST)로부터 출력된 프로그램 요구(또는 라이트 요구)에 따라 RAID 컨트롤러(710)는 호스트(HOST)로부터 출력된 데이터를 RAID 레벨에 기초하여 복수의 전자 장치(600-1~600-n) 중에서 적어도 어느 하나의 전자 장치로 출력할 수 있다.
- [0168] 리드 동작 동안, RAID 컨트롤러(710)는 호스트(HOST)로부터 출력된 리드 명령에 따라 복수의 전자 장치들(600-1~600-n) 중에서 적어도 어느 하나의 전자 장치로부터 리드된 데이터를 호스트(HOST)로 전송할 수 있다.
- [0169] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

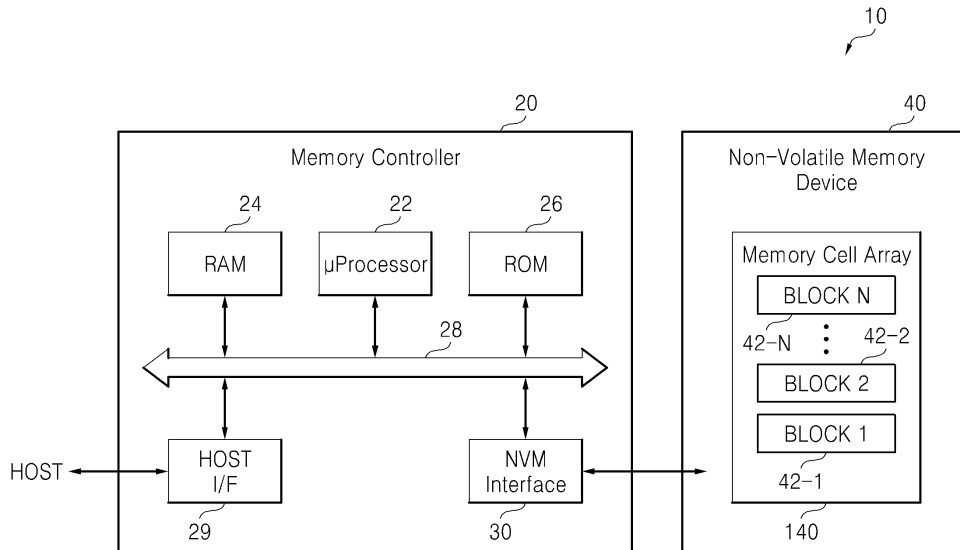
**부호의 설명**

[0170]

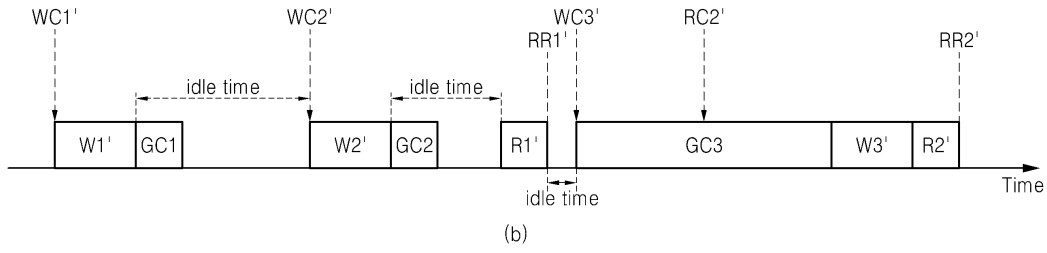
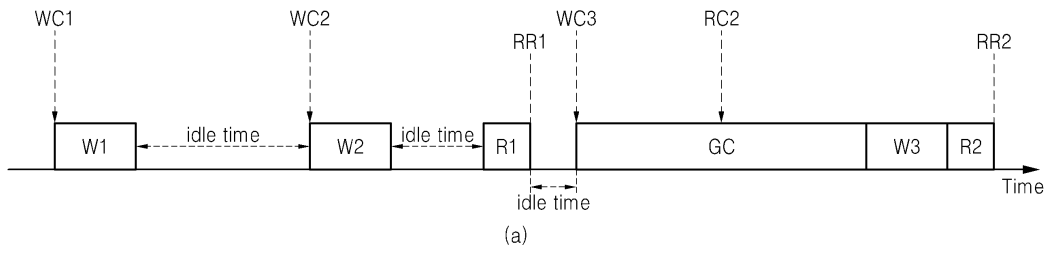
- 10; 메모리 시스템
- 20; 메모리 컨트롤러
- 22; 마이크로프로세서
- 24; RAM
- 26; ROM
- 29; 호스트 인터페이스
- 30; 메모리 인터페이스
- 40; 불휘발성 메모리 장치
- 140; 메모리 셀 어레이

**도면**

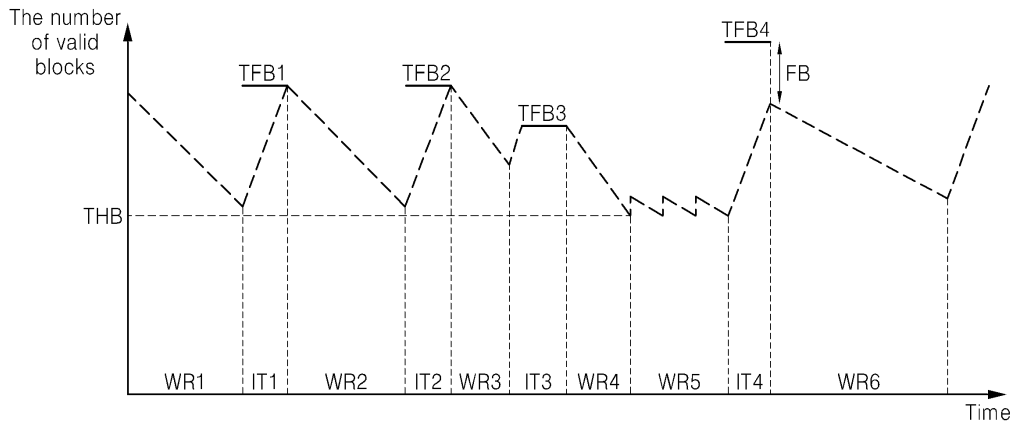
**도면1**



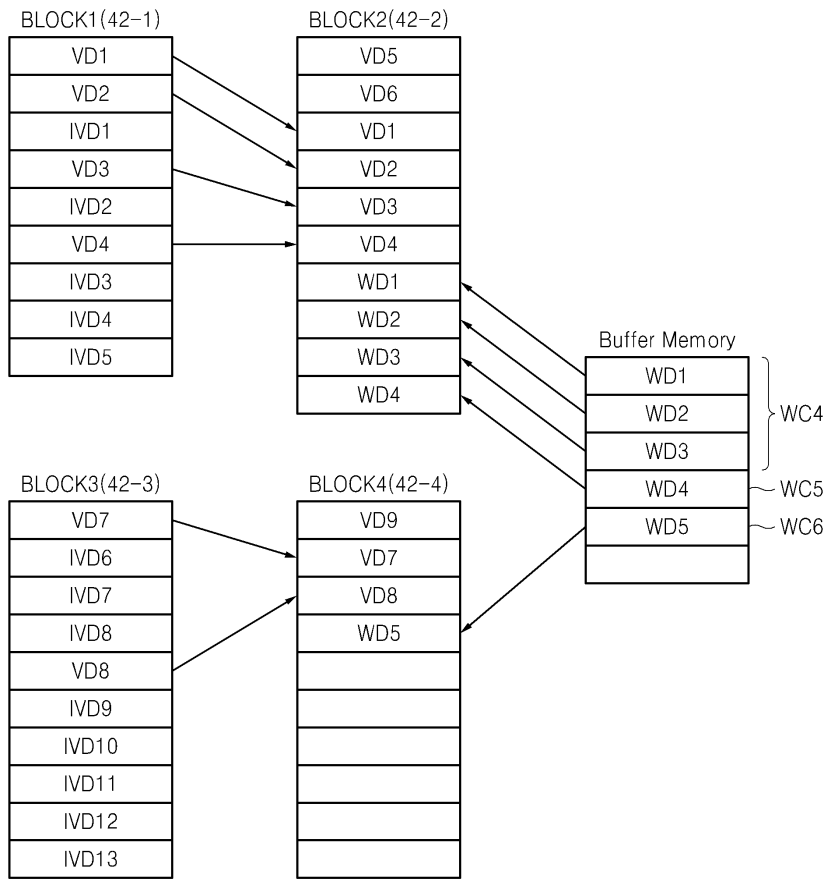
도면2



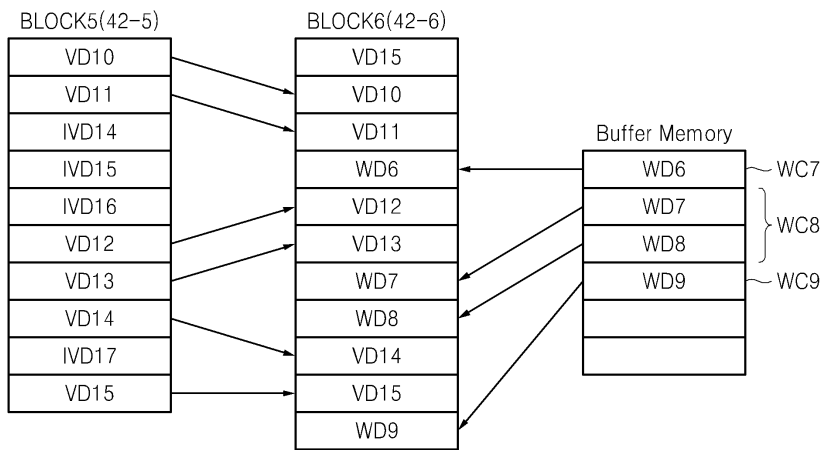
도면3



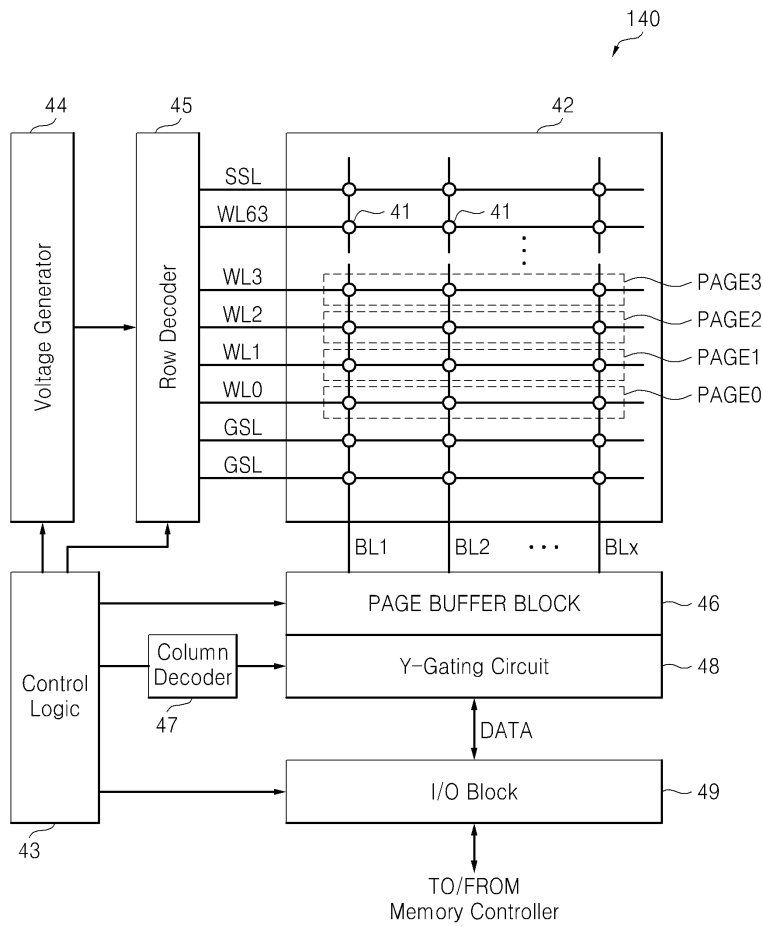
도면4



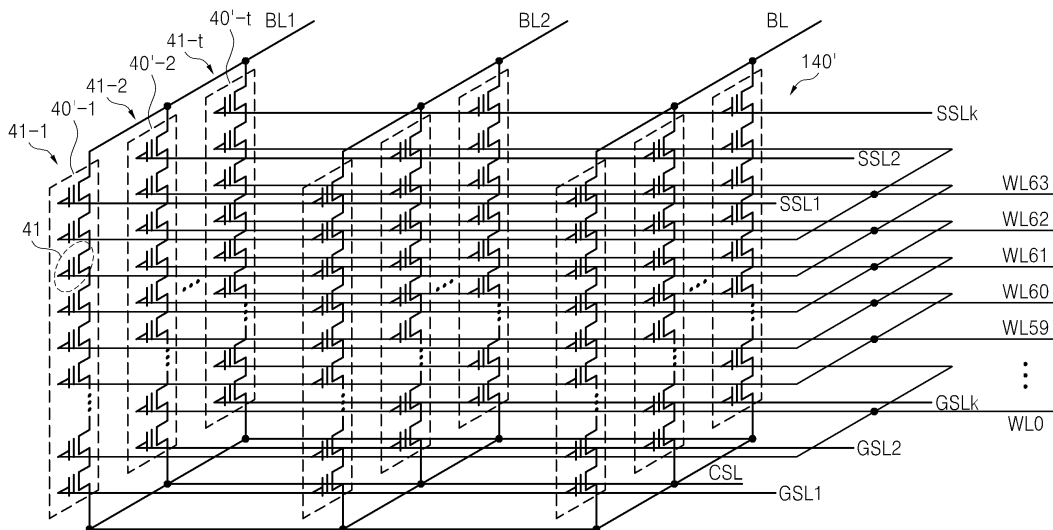
도면5



도면6

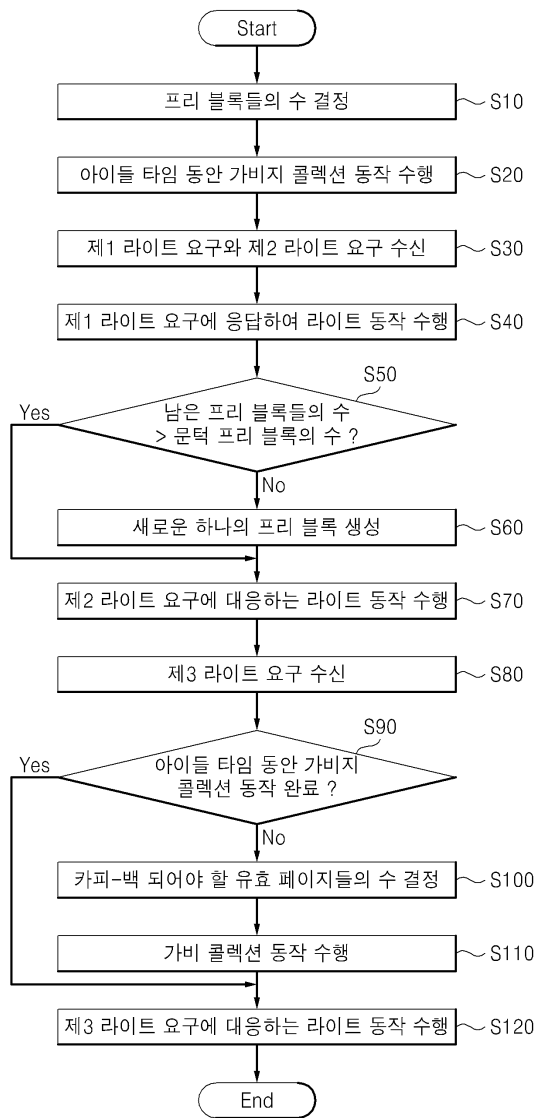


도면7

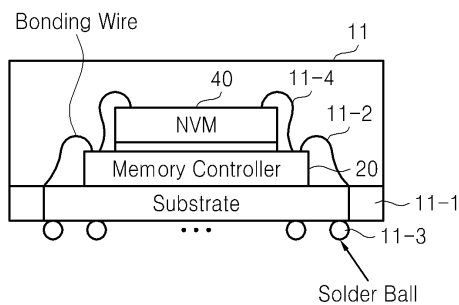




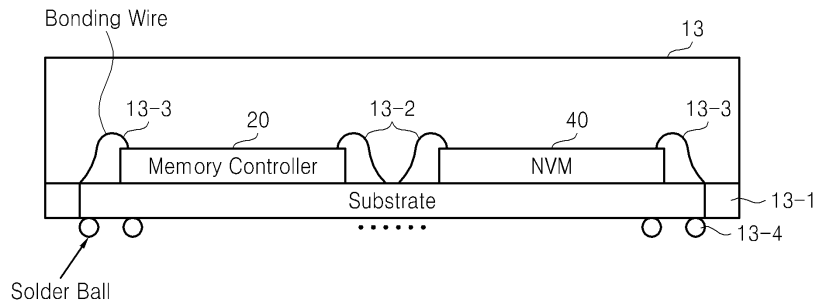
도면8



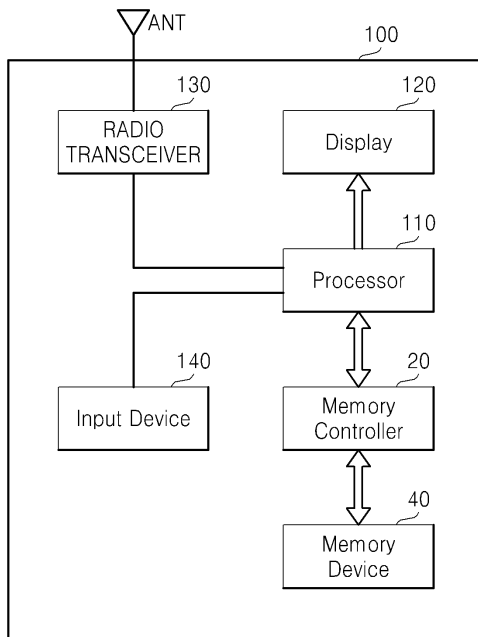
도면9



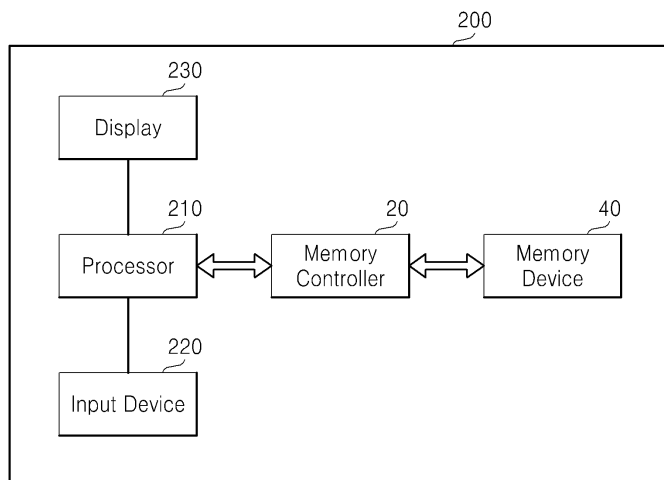
도면10



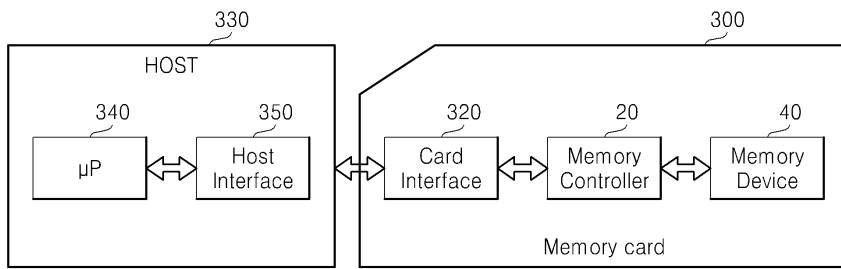
도면11



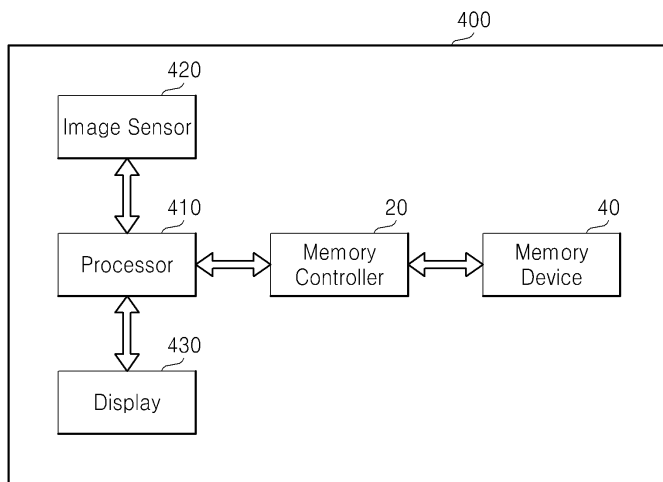
도면12



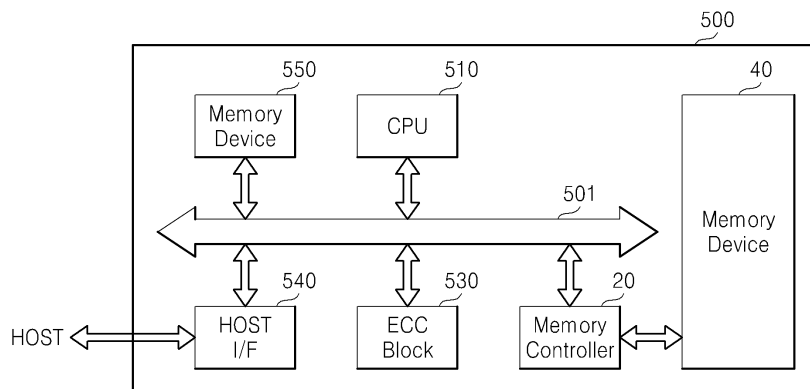
도면13



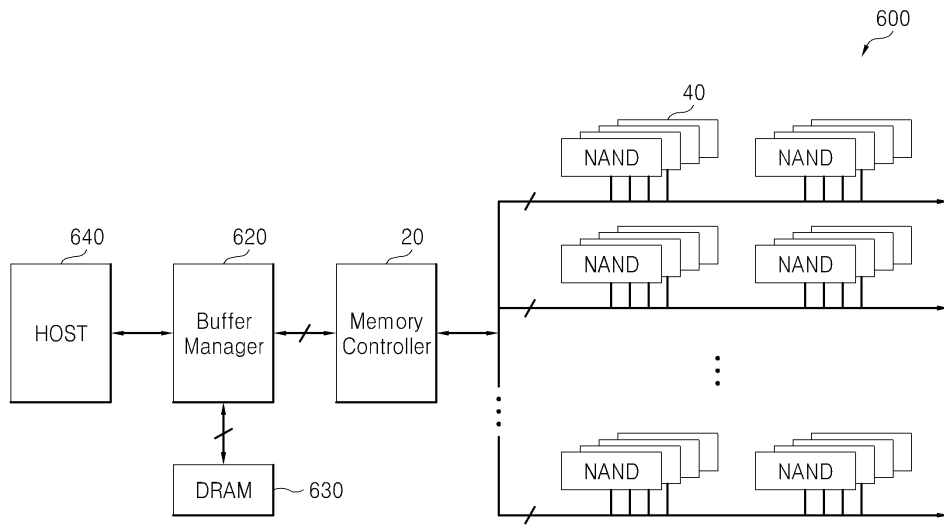
도면14



도면15



도면16



도면17

